

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-035568

(43)Date of publication of application : 20.02.1986

(51)Int.Cl.

H01L 29/90
// H01L 29/78

(21)Application number : 59-156714

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.07.1984

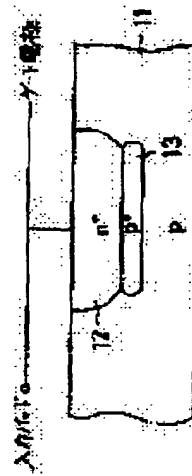
(72)Inventor : KANEHAKO KAZUNORI

(54) GATE PROTECTING DIODE

(57)Abstract:

PURPOSE: To prevent a current centralization making a permanent destruction of a junction in a junction portion near a substrate surface from causing by touching a bottom of a planar junction composing a protecting diode and forming an impurity region with a high concentration and a homopolarity to the substance.

CONSTITUTION: A P+ type impurity region 13 is formed touching the bottom of an N+ type impurity region 12. As the N+ type region 12 is connected with an input pad through a wiring layer and is also connected with a gate electrode of a MOS transistor formed in other regions of a substrate 11, a protecting diode is composed of a planar junction between the N type impurity region 12 and a P type region around 12. As a proof pressure of a junction of a junction bottom is lower than that of a junction surface by setting the concentration of a P+ type impurity region 13' higher than the concentration of the substrate by single or double figures, a breakdown current flows through a wide area of the planar junction bottom and does not flow through a narrow linear region of the junction face. Consequently, a permanent destruction of the junction by a surge application is controlled remarkably.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998.2000 Japan Patent Office

⑪ 特許出願公開

●公開特許公報(A)

昭61-35568

Int. Cl.:

識別記号

厅内整理番号

④公開 昭和61年(1986)2月20日

H 01 L 29/90

7638-SF

H H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全5頁)

④発明の名称 ゲート保護ダイオード

特 照 59-156714

出 願 昭59(1984)7月27日

明 者 金 箱 和 範 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

代表人 株式会社東芝 川崎市幸区堀川町72番地

代理 人 弁理士 鈴江 武彦 外2名

明 細 表

1. 現象の名称

グート保護ダイオード

2. 持許要求の範囲

第一導電型の半導体基板と、該半導体基板上の表面に形成された第二導電型不純物領域と、該第二導電型不純物領域の底面に接してその下に形成された第一導電型の高導電不純物領域と、前記第二導電型不純物領域を入力パッドに接続する配線層と、前記半導体基板上の他の領域に形成されている絶縁ゲート電極用効果トランジスタのゲート電極に前記第二導電型不純物領域を接続する配線層とを具備したことを特徴とするゲート配線ダイオード。

2. 双男の経歴を説明

(兎明の提燈分野)

本発明は施錠ゲート回路用双極半導体装置のゲート回路ダイオード、例えばMOS型半導体装置のゲート回路をサーチャイクル駆動するための伝導ダイオードに属する。

(飛明の技術的考察)

絶縁ゲート型出力増幅器半導体装置のゲート保護ダイオードを周示したのは特許第43-455号が最初で、ここに周示されている保護ダイオードは例えば第2図の構造で一般的に示される。同図において、1はP型シリコン基板である。該シリコン基板の表面にはN型不純物領域2が形成されており、両者間の接合が保護ダイオードを構成している。このN型不純物領域2は配線層を介して入力パッドに接続され、またシリコン基板1の他の領域に形成されたMOSトランジスタのゲート電極に接続されている。

このように入力パッドとゲート電極との間に保護ダイオードを介在させたMOS型半導体装置では、保護ダイオードの逆方向耐圧よりも大きいサージ電圧が入力されるとダイオードがアバランシェブレイクダウンを起こして電流が暴発しに飛ぶ。従って、MOSトランジスタのゲート電極にはサージに耐えられるように、ゲート保護を施さなければならないことが可能となる。

第3図の構造は、シリコン基板表面におけるN型不純物領域2の接合上に構造層3を介して広くオーバーレイされた構造層4を形成し、該構造層4に

(啓蒙の目的)

第3回～第5回の構造は、保護ダイオードを構成するブレーナ接合の局所的なブレイクダウンと電極層中で生じる永久故障を防止する上で一電

(発明の実施例)

以下に本発明の実施例を説明する。

第1図は本発明の一実施例になるゲート保護ダイオードを示す断面図である。同図において11はP型シリコン基板、12はN⁺型不純物領域である。該N⁺型不純物領域12の下には、その底面に接してP⁺型不純物領域13が形成されている。該P⁺型不純物領域13の濃度は基板濃度よりも1~2桁高く設定されている。また、前記N⁺型領域12は絶縁層を介して入力パッドに接続されると共に、基板1の他の領域に形成されたMOSトランジスタのゲート電極に接続されている。そして、前記N⁺型不純物領域12とその周囲のP型領域との間のブレーナ接合が保護ダイオードを形成しており、保護ダイオードは第2図で説明したと同様の入力保護機能を発揮する。

上記実施例のゲート保護ダイオードでは、N⁺型不純物領域12のブレーナ接合底面に接してP⁺型不純物領域13が設けられているため、ブレーナ接合底面部分の逆方向耐圧が第2図のような

通常のブレーナ構造の場合よりも低くなっている。このP⁺型領域13による耐圧低下は図13の不純物濃度によって定まる。そして、既に報告されている図々のデータからすれば、上記実施例のようにP⁺型不純物領域13の濃度を基板濃度よりも1~2桁高く設定することによって、接合底面の耐圧を接合表面のブレークダウン耐圧よりも低くすることは十分に可能である。こうして上記実施例の保護ダイオードでは接合表面の耐圧の方が接合表面の耐圧よりも低くなっているから、ブレークダウン電流はブレーナ接合底面の広い面積を通して流れ、従来のように接合表面の狭い領域を通して流れることはない。従って、クーラに印加による接合の永久損傷は次の理由で顯著に抑制されることになる。

一般的に、ブレーナ接合の接合部分で局所的にブレークダウン電流が流れると、該電流で発生した熱の影響で正のフィードバックがかかるため、ブレークダウン電流で温度が高くなった部分に更に電流が集中することになる。第1図のような

典型的な構造のブレーナ接合では、この電流集中が接合表面の狭い領域に起こるため接合破壊が生じ易い。これに対し、上記実施例では接合表面の広い面積を通してブレークダウン電流が流れるから正のフィードバックで接合の熱破壊が生じる際の電流密度が大きく、従って同じサーマル電圧が印加された場合にも接合の永久損傷は発生し難くなるのである。

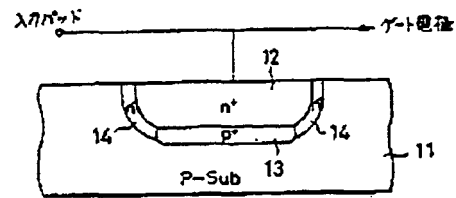
また、上記第1図の実施例では第3図~第5図の従来のような問題も生じない。即ち、第3図~第5図の構造ではダイオード全体としての逆耐圧が高くなるため、所定の電圧よりも高いサーマル電圧が印加された場合にもブレークダウンを起さず、保護ダイオードとしての本来的な機能を果さなくなる可能性があるが、上記実施例の場合にはブレーナ接合底面の逆耐圧を適当な電圧にまで下げているためゲート電極の保護を十分に発揮させることができるという利点を有している。

次に上記実施例に特設的な構造を形成するための方法について説明すると、この構造は図4及び

図5(A)~(D)に示すようにして形成することができる。まず、図5(A)に示すようにシリコン基板11に選択的に酸素をイオン注入した後、これを低温で熱処理することにより接合の深いN⁺型不純物領域12'を形成する(第6図(B)図示)。次いで該N⁺型不純物領域12'のやや下に分布中心がくるような条件でホロンを選択的にイオン注入し、その後高温で熱処理することにより、第6図(D)に示すように第1図の実施例に特設的な構造を形成することができる。

第7図は本発明の他の実施例になるゲート保護ダイオードを示す断面図である。この実施例は第4図の従来の構造に本発明を適用したもので、P⁺型領域13と接している底面部分を缺いて、N⁺型不純物領域12の濃度がP⁺型領域14で包囲された二重反復構造になっている。それ以外の構造は第1図の実施例と同じである。この第7図の実施例ではブレーナ接合表面部分の耐圧が第1図の実施例の場合よりも低いが、P⁺型不純物領域13の濃度は第1図のよりも低く、従

第 7 図



第 8 図

